

MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】 日本国特許庁 (J P)	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12)【公報種別】 公開特許公報 (A)	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11)【公開番号】 特開平 5-35213	(11)[KOKAI NUMBER] Unexamined Japanese Patent Heisei 5-35213
(43)【公開日】 平成 5 年 (1 9 9 3) 2 月 1 2 日	(43)[DATE OF FIRST PUBLICATION] February 12, Heisei 5 (1993. 2.12)
(54)【発明の名称】 走査回路およびその駆動方法	(54)[TITLE OF THE INVENTION] Scanning circuit and its actuation method
(51)【国際特許分類第 5 版】 G09G 3/36 7926-5G 7926-5G G02F 1/133 505 7820-2K G02F 1/133 505 G09G 3/20 J 9176-5G 7820-2K H04N 1/04 103 Z 7251-5C G09G 3/20 J 9176-5G H04N 1/04 103 Z 7251-5C	(51)[IPC INT. CL. 5] G09G 3/36 7926-5G G02F 1/133 505 7820-2K G09G 3/20 J 9176-5G H04N 1/04 103 Z 7251-5C
【審査請求】 未請求	[REQUEST FOR EXAMINATION] No
【請求項の数】 3	[NUMBER OF CLAIMS] 3
【全頁数】 6	[NUMBER OF PAGES] 6

(21) 【出願番号】
特願平 3-189083

(21)[APPLICATION NUMBER]
Japanese Patent Application Heisei 3-189083

(22) 【出願日】
平成 3 年 (1 9 9 1) 7 月 3 0
日

(22)[DATE OF FILING]
July 30, Heisei 3 (1991. 7.30)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】
000004237

[ID CODE]
000004237

【氏名又は名称】
日本電気株式会社

[NAME OR APPELLATION]
Nihon Electric Corporation

【住所又は居所】
東京都港区芝五丁目 7 番 1 号

[ADDRESS OR DOMICILE]

(72) 【発明者】

(72)[INVENTOR]

【氏名】
浅田 秀樹

[NAME OR APPELLATION]
Asada Hideki

【住所又は居所】
東京都港区芝五丁目 7 番 1 号日
本電気株式会社内

[ADDRESS OR DOMICILE]

(74) 【代理人】

(74)[AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】
内原 晋

[NAME OR APPELLATION]
Uchihara Susumu

(57) 【要約】

(57)[ABSTRACT OF THE DISCLOSURE]

【目的】

駆動回路一体型画像入出力デバイスにおいて、走査回路の欠陥により現れる画像の面欠陥を無くす高歩留り、かつ高速な走査回路を提供すること。

[PURPOSE]

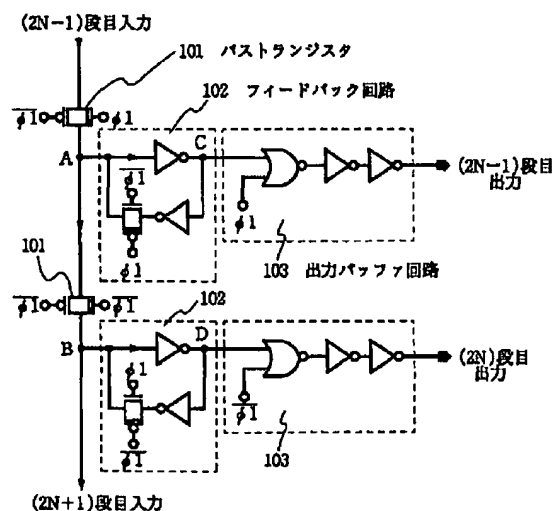
In driving-circuit integrated image input-output device, high yield which eliminates plane defect of image which appears by defect of scanning circuit, and high-speed scanning circuit is provided.

【構成】

本発明の走査回路は、前段からの信号をクロック信号により次段へ転送するパストランジスタ 101 と、遅延転送する信号の振幅の減衰を防ぐためのフィードバック回路 102 と、クロック信号が、あるいはその反転クロック信号で制御される出力バッファ回路 103 とで構成され、走査周期 T の 2 倍の周期 ($2 \times T$) のクロック信号を入力することで駆動される。

[CONSTITUTION]

Scanning circuit of this invention comprises pass transistor 101 which transmits signal from prestage to the following stage by clock signal, feedback circuit 102 for preventing attenuation of amplitude of signal which carries out delay transmission, and output buffer circuit 103 controlled by clock signal or its reversal clock signal, it actuates in inputting clock signal of period ($2 \times T$) of double of scanning period T .



【特許請求の範囲】**[CLAIMS]****【請求項 1】**

絶縁基板上に薄膜トランジスタを集積して形成された走査回路であって、前段から送られてきた信号を入力信号とし、かつ 1 個あるいは互いに逆相の関係にある 2 個のクロック信号で制御され、かつ次段への入力信号を出力信号とするパストランジスタと、前記パストランジスタの出力信号を入力信号とし、かつ前記クロック信号で制御されるフィードバック回路と、前記フィードバック回路の出力信号を入力信号とし、かつ前記 1 個のクロック信号か、あるいは前記 2 個のクロック信号のうち少なくとも一方のクロック信号で制御される出力バッファ回路とで構成されたことを特徴とする走査回路。

[CLAIM 1]

It is scanning circuit which integrated thin-film transistor and was formed on insulation substrate, comprised such that pass transistor which is controlled by two clock signals which make input signal sent from prestage, and have one piece or mutually anti phase relation, and makes input signal to the following stage output signal, feedback circuit which makes output signal of said pass transistor input signal, and is controlled by said clock signal, output buffer circuit which makes output signal of said feedback circuit input signal, and is controlled by at least 1 clock signal among said 1 clock signal or said 2 clock signal

Are its composition.

Scanning circuit characterized by the above-mentioned.

【請求項 2】

請求項 1 に記載の走査回路において、前記出力バッファ回路は、前記パストランジスタの出力信号と前記 1 個のクロック信号か、あるいは前記 2 個のクロック信号のうち少なくとも一方のクロック信号を入力信号とする NOR 回路と、その NOR 回路の出力信号を入力信号とする正転バッファ回路とで構成された

[CLAIM 2]

In scanning circuit of Claim 1, said output buffer circuit comprised NOR circuit which makes input signal at least one clock signal of output signal of said pass transistor, said 1 clock signal, or said 2 clock signals, and normal-rotation buffer circuit which makes output signal of the NOR circuit input signal.

Scanning circuit characterized by the above-mentioned.

ことを特徴とする走査回路。

【請求項 3】

請求項 1 に記載の走査回路の駆動方法において、前記クロック信号として、走査周期を T とした場合、周期が $(2 \times T)$ のクロック信号を入力することを特徴とする走査回路の駆動方法。

[CLAIM 3]

A actuation method of scanning circuit, in which in the actuation method of scanning circuit of Claim 1, as said clock signal, when scanning period is set to T , period inputs clock signal of $(2 \times T)$.

【発明の詳細な説明】**[DETAILED DESCRIPTION OF THE INVENTION]****【0001】****[0001]****【産業上の利用分野】**

本発明は、液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の周辺駆動回路に用いられる走査回路に関する。

[INDUSTRIAL APPLICATION]

This invention relates to scanning circuit used for periphery driving circuits, such as liquid crystal display, contact image-sensor, and liquid-crystal shutter.

【0002】**[0002]****【従来の技術】**

液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の小型化、低コスト化、高信頼性を目的として、薄膜駆動回路を一体化して作製する技術がある。これは画素電極と同一基板上に周辺駆動回路を設置することにより、接続端子の数および外部駆動 IC の数の大幅な削減が可能なこと、また大面積、高密度

[PRIOR ART]

There is technique which unifies and produces thin film driving circuit for the purpose of reduction in size of liquid crystal display, contact image-sensor, liquid-crystal shutter, etc., cost reduction, and high reliability.

By installing periphery driving circuit on the same base plate as pixel electrode, this can perform drastic reduction of the number of connecting terminal, and the number of external drive ICs.

のボンディング工程の限界から生ずる信頼性の問題を解決できるというコンセプトに基づくものである。

Moreover, it is based on concept that problem of reliability generated from limit of bonding process of large area and high density is solvable.

【0003】

シフトレジスタと出力バッファで構成される走査回路は、たとえばアクティブマトリクス液晶ディスプレイにおいて垂直駆動回路、あるいはクロックパルスを走査する回路として上記薄膜駆動回路の重要な構成要素となる。図3は従来の走査回路の $(2N-1)$ ビット目、 $(2N)$ ビット目を示す図である。シフトレジスタ301は入力された信号をクロック信号 $\phi 1$ 、及びこのクロック信号 $\phi 1$ の反転クロック信号により一定の周期だけ遅らせて次段のシフトレジスタへ順次転送していくことができ、各シフトレジスタの出力は出力バッファ回路を通して走査パルス信号として出力される。

[0003]

Scanning circuit which comprises shift register and output buffer constitutes important component of the above-mentioned thin film driving circuit for example, in active-matrix liquid crystal display as vertical-drive circuit or a circuit which scans clock pulse.

FIG. 3 is figure showing $(2N-1)$ th bit of conventional scanning circuit, and $(2N)$ th bit.

Only fixed period can delay input signal by clock signal $(\phi)1$ and reversal clock signal of this clock signal $(\phi)1$, and shift register 301 can transmit it to shift register of the following stage in order, output of each shift register is outputted as a scanning pulse signal through output buffer circuit.

【0004】

図4は図3に示した従来の走査回路のタイミングチャートを示す図である。この場合、 $(2N-1)$ ビット目、 $(2N)$ ビット目の走査パルス信号はそれぞれシフトレジスタの出力A、Bと同じタイミングで出力される。

[0004]

FIG. 4 is figure showing timing chart of conventional scanning circuit shown in FIG. 3.

In this case, scanning pulse signal of $(2N-1)$ th bit and $(2N)$ th bit is outputted to the respectively same timing as output A and B of shift register.

【0005】**[0005]**

【発明が解決しようとする課題】

液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の画像入出力デバイスの大面積化、長尺化に伴い、無欠陥の薄膜駆動回路を形成することは現状のプロセス技術では非常に困難である。特にシフトレジスタを直列接続した従来型の走査回路では、途中の段に1個でも欠陥が存在するとその段以降は走査信号を正常に転送することができなくなり、液晶ディスプレイ等の2次元画像デバイスでは面欠陥となって現れる。これは画素アレイ部に欠陥が存在しない場合でも発生するため走査回路の欠陥がデバイスの歩留まりを低下させる大きな要因になっている。

【0006】

また、上記画像入出力デバイスの高解像度化に伴い、より高速な走査回路が要求されてくる。走査回路の高速化は主に薄膜トランジスタの移動度を向上させるか、あるいはトランジスタのゲート長を小さくすることによって達成可能であるが、その場合トランジスタ作製プロセスを変更しなければならないという大きな問題が生じる。

[PROBLEM TO BE SOLVED BY THE INVENTION]

With the present process technique, it is very difficult to form defect-free thin film driving circuit in connection with expansion of image input-output devices, such as liquid crystal display, contact image-sensor, and liquid-crystal shutter, and lengthening.

When at least one defect exists in intermediate stage, it becomes impossible to transmit scanning signal after the stage normally in scanning circuit of conventional type which serially connected in particular shift register.

In 2-dimensional image devices, such as liquid crystal display, it becomes plane defect and appears.

Since it generates even when defect does not exist in pixel array part, this is major factor in which defect of scanning circuit reduces yield of device.

[0006]

Moreover, more nearly high-speed scanning circuit is demanded with making high resolving of the above-mentioned image input-output device.

Although improvement in the speed of scanning circuit mainly improves mobility of thin-film transistor or it can attain by making gate length of transistor small, major problem that transistor production process must be altered in that case arises.

【0007】

本発明は上記問題点を解決するために、少なくとも画像デバイスの面欠陥を無くす高歩留まり、かつ高速な走査回路とその駆動方法を提供することを目的としている。

[0007]

This invention aims at providing high yield which eliminates plane defect of image device at least and high-speed scanning circuit, and its actuation method, in order to solve the above-mentioned problem.

【0008】**【課題を解決するための手段】**

本発明は、絶縁基板上に薄膜トランジスタを集積して形成された走査回路において、前段から送られてきた信号を入力信号とし、かつ1個かあるいは互いに逆相の関係にある2個のクロック信号で制御され、かつ次段への入力信号を出力信号とするパストランジスタと、前記パストランジスタの出力信号を入力信号とし、かつ前記クロック信号で制御されるフィードバック回路と、前記フィードバック回路の出力信号を入力信号とし、かつ前記1個のクロック信号か、あるいは前記2個クロック信号のうち少なくとも一方のクロック信号で制御される出力バッファ回路とで構成されたことを特徴とする走査回路であって、その出力バッファ回路は、前記パストランジスタの出力信号と前記1個のクロック信号か、あるいは前記2個のクロック信号のうち少なくとも一方のクロック

[0008]**[MEANS TO SOLVE THE PROBLEM]**

With this invention, in scanning circuit which integrated thin-film transistor and was formed on insulation substrate, pass transistor which is controlled by two clock signals which make input signal sent from prestage, and have one piece or mutually anti phase relation, and makes input signal to the following stage output signal, feedback circuit which makes output signal of said pass transistor input signal, and is controlled by said clock signal, output buffer circuit which makes output signal of said feedback circuit input signal, and is controlled by at least 1 clock signal among said 1 clock signal or said two-piece clock signal

Are its composition.

It is scanning circuit characterized by the above-mentioned, comprised such that the output buffer circuit is characterized by comprising NOR circuit which makes at least 1 clock signal input signal among output signal of said pass transistor, said 1 clock signal, or said 2 clock signal, and normal-rotation buffer circuit which makes output signal of the NOR circuit input signal.

Moreover, this scanning circuit is actuated when

信号を入力信号とするNOR回路と、そのNOR回路の出力信号を入力信号とする正転バッファ回路とで構成されたことを特徴としている。また、この走査回路は、走査周期をTとした場合、周期が(2×T)のクロック信号を入力することにより駆動される。

scanning period is set to T, and period inputs clock signal of (2×T).

【0009】**[0009]****【作用】**

薄膜駆動回路の歩留まりは回路面積が大きくなるとともに指数関数に従って著しく低下する。本発明の走査回路では、前段からの信号を次段へ遅延転送する部分がパストランジスタだけで構成されているため、シフトレジスタで構成した従来の走査回路に比較してその部分の面積を大幅に縮小することができる。従って、最終段まで信号を遅延転送できる確率は著しく向上する。すなわち、画欠陥となって現れるような走査回路の欠陥を著しく低減させることができる。

[OPERATION]

Yield of thin film driving circuit falls remarkably according to exponential while circuit area becomes bigger.

Since part which carries out delay transmission of the signal from prestage to the following stage comprises only pass transistors, compared with conventional scanning circuit comprised from shift register, area of the part is significantly reducible in scanning circuit of this invention.

Therefore, probability which can carry out delay transmission of the signal to the final stage is improved remarkably.

That is, it can become drawing defect and defect of scanning circuit which appears can be reduced remarkably.

【0010】

また、本発明の走査回路の駆動方法では、走査周期をTとした場合、クロック信号の周期は(2×T)と、従来必要であったクロック周期Tに比べてスピードに

[0010]

Moreover, by the actuation method of scanning circuit of this invention, when scanning period is set to T, period of clock signal is made into speed compared with (2×T) and clock-period T which was formerly required, and allowances of

かし2倍の余裕が生じる。さらに走査パルス信号が立上がるタイミングをフィードバック回路の出力信号が立ち下がるタイミングから遅らせることにより、フィードバック回路の出力に生じる遅延を無視することができる。以上のようにして走査回路の高速化を図ることができる。

double produce it.

By delaying timing to which scanning pulse signal furthermore starts from timing to which output signal of feedback circuit falls, delay produced in output of feedback circuit can be disregarded.

Improvement in the speed of scanning circuit can be attained as mentioned above.

【0011】

【実施例】

以下に本発明の走査回路とその駆動方法の実施例を詳細に説明する。

[0011]

[EXAMPLES]

Scanning circuit and Example of the actuation method of this invention are demonstrated in detail below.

【0012】

図1は本発明の走査回路の実施例を示す図である。本実施例では本発明の走査回路をCMOSスタティック回路で実現したのであり、図には(2N-1)段目、(2N)段目が示されている(ここでNは自然数)。NOMSで構成することを当然可能である。本走査回路は図に示すように、前段からの信号をクロック信号φ1、及びこのクロック信号φ1を反転したクロック信号により次段へ遅延転送するパストランジスタ101と、遅延転送していくパルス信号の振幅の減衰を防ぐためのフィードバック回路102と、奇数段目に

[0012]

FIG. 1 is figure showing Example of scanning circuit of this invention.

In this Example, scanning circuit of this invention was implemented in CMOS static circuit.

(2N-1)th stage and (2N)th stage are shown in figure (N is natural number here).

Naturally it can perform comprising from NOMS. This scanning circuit is as shown in figure, pass transistor 101 which carries out delay transmission of the signal from prestage to the following stage by clock signal (phi)1 and clock signal which reversed this clock signal (phi)1, feedback circuit 102 for preventing attenuation of amplitude of pulse signal which carries out delay transmission, output buffer circuit 103 controlled by clock signal which reversed clock

においてはクロック信号 $\phi 1$ を反転したクロック信号で制御される出力バッファ回路103とで構成される。出力バッファ回路は、前記パストランジスタの出力信号と前記1個のクロック信号か、あるいは前記2個のクロック信号のうち少なくとも一方のクロック信号を入力信号とするNOR回路と、そのNOR回路の出力信号を入力信号とする正転バッファ回路とで構成した。

【0013】

この構成によって、前段からのパルス信号を次段へ遅延転送する部分の回路面積を従来の走査回路に比べて $(1/8)$ に小さくすることができ、また出力バッファを除いた部分の回路面積を従来の $(1/2)$ に縮小することができる。

【0014】

図2は図1に示した走査回路のタイミングチャートを示す図である。本走査回路の駆動方法では、クロック信号の周期は $2 \times T$ であり、これにより、同じ周期の走査パルス信号に対し従来用いていた駆動周波数の $1/2$ の周波数で駆動することが可能となった。さらに、 $(2N-1)$ 段目、 $(2N)$ 段目の走査パルス信号はフィードバック回路の出

signal (ϕ)1 in odd-level eye

Are its composition.

Output buffer circuit comprised NOR circuit which makes at least 1 clock signal input signal among output signal of said pass transistor, said 1 clock signal, or said 2 clock signal, and normal-rotation buffer circuit which makes output signal of the NOR circuit input signal.

[0013]

By this composition, circuit area of part which carries out delay transmission of the pulse signal from prestage to the following stage can be made small compared with conventional scanning circuit $(1/8)$, and circuit area of part except output buffer can be reduced to conventional $(1/2)$.

[0014]

FIG. 2 is figure showing timing chart of scanning circuit shown in FIG. 1.

By the actuation method of this scanning circuit, period of clock signal is $2 \times T$.

It became possible to actuate on frequency of $1/2$ of driving frequency which this formerly used to scanning pulse signal of the same period.

Furthermore, scanning pulse signal of $(2N-1)$ th stage and $(2N)$ th stage is outputted to timing in which only T was from timing to which

力信号C、Dが出力されるタイミングからTだけ遅れたタイミングで出力されるので、フィードバック回路102のパルス信号の立ち上がり、立ち下がり時間がT以内であれば、パストランジスタ101、およびフィードバック回路102で生じる遅延が走査パルス信号の遅延に影響を与えることはない。

output-signal C,D of feedback circuit is outputted.

Therefore, if standup and fall time of pulse signal of feedback circuit 102 is less than T, delay produced in pass transistor 101 and feedback circuit 102 does not affect delay of scanning pulse signal.

【0015】

また出力バッファ回路103を制御するクロック信号 $\phi 1$ 、及びその反転クロック信号の代わりに、第2のクロック信号として、前述のクロック信号に対する位相 θ をそれぞれ $0 < \theta < (1/2)$ だけ進ませたクロック信号をそれぞれに入力しても良い。

[0015]

Moreover, it may input into each clock signal to which only $0 < (\theta) < (1/2)$ each advanced phase (θ) with respect to the above-mentioned clock signal as 2nd clock signal instead of clock signal (ϕ)1 and its reversal clock signal which control output buffer circuit 103.

【0016】

本発明の走査回路を採用した2000段の走査回路を実際に多結晶シリコン薄膜トランジスタをガラス基板上に集積することにより作製した。その結果、少なくとも最終段までパルス信号が正常に転送される確率が従来の50%から90%に向上した。

[0016]

2000 steps of scanning circuits which adopted scanning circuit of this invention were produced by actually integrating polycrystalline-silicon thin-film transistor on glass substrate.

As a result, probability that pulse signal will be normally transmitted to the final stage at least improved from 50% to 90% of conventional probability.

【0017】

【発明の効果】

[0017]

[ADVANTAGE OF THE INVENTION]

以上説明したように本発明の走査回路を適用すれば、前段からのパルス信号を次段へ転送する部分の回路面積を従来の（1／8）に小さくできるので、少なくとも駆動回路の欠陥によって生じていた2次元画像デバイスの面欠陥を著しく低減することができる。すなわち、本発明の走査回路は上記液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の歩留まりを向上させるのに極めて有用である。また本発明の上記走査回路の駆動方法は従来の駆動周波数の1／2の周波数で同じ走査周波数を得ることができるので、画像入出力デバイスの高解像度化に対応できる駆動方法として極めて有用である。

If scanning circuit of this invention is applied as explained above, circuit area of part which transmits pulse signal from prestage to the following stage can be made small at conventional (1/8).

Therefore, plane defect of 2-dimensional image device produced by defect of driving circuit at least can be reduced remarkably.

That is, scanning circuit of this invention is very useful although yields, such as the above-mentioned liquid crystal display, contact image-sensor, and liquid-crystal shutter, are improved.

Moreover, the actuation method of the above-mentioned scanning circuit of this invention can obtain the same scanning frequency on frequency of 1/2 of conventional driving_frequency.

Therefore, it is very useful as the actuation method which can respond to making high resolving of image input-output device.

【図面の簡単な説明】**[BRIEF DESCRIPTION OF THE DRAWINGS]****【図1】**

本発明の走査回路を示す図。

[FIG. 1]

Figure showing scanning circuit of this invention.

【図2】

本発明の駆動方法の実施例を示す図。

[FIG. 2]

Figure showing Example of the actuation method of this invention.

【図3】

従来型の走査回路を示す図。

[FIG. 3]

Figure showing scanning circuit of conventional type.

【図 4】

従来の駆動方法を示す図。

[FIG. 4]

Figure showing the conventional actuation method.

【符号の説明】

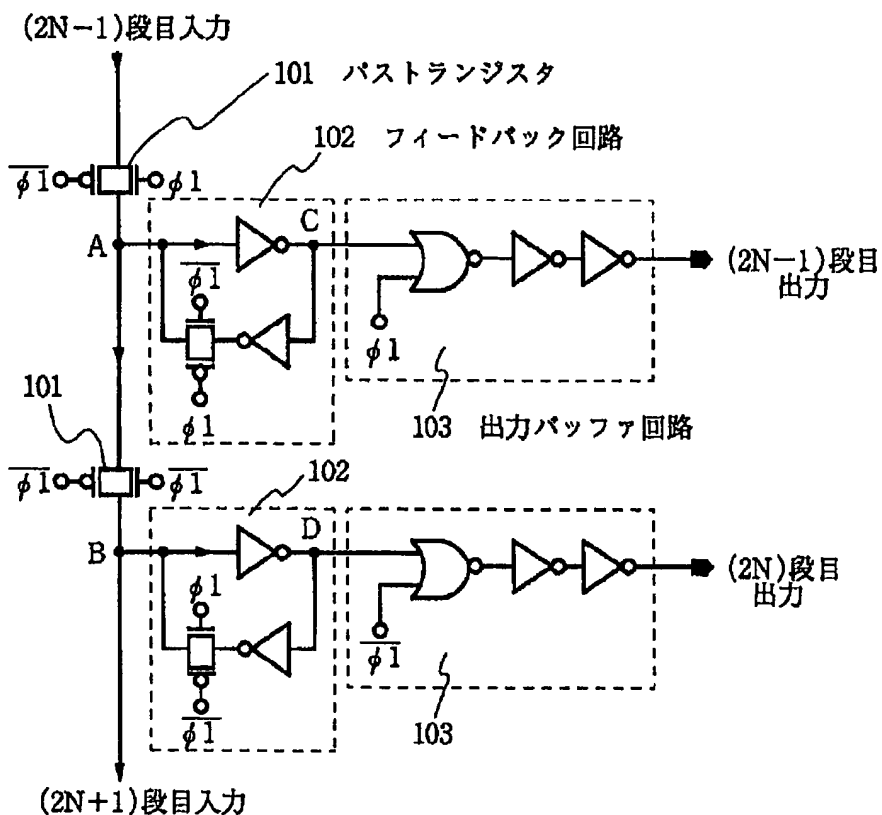
101 パストランジスタ
 102 フィードバック回路
 103 出力バッファ
 301 1ビットシフトレジスタである。

[DESCRIPTION OF SYMBOLS]

101 Pass transistor
 102 Feedback circuit
 103 Output buffer
 301 It is 1 bit-shift register.

【図 1】

[FIG. 1]



(2N-1)th step input

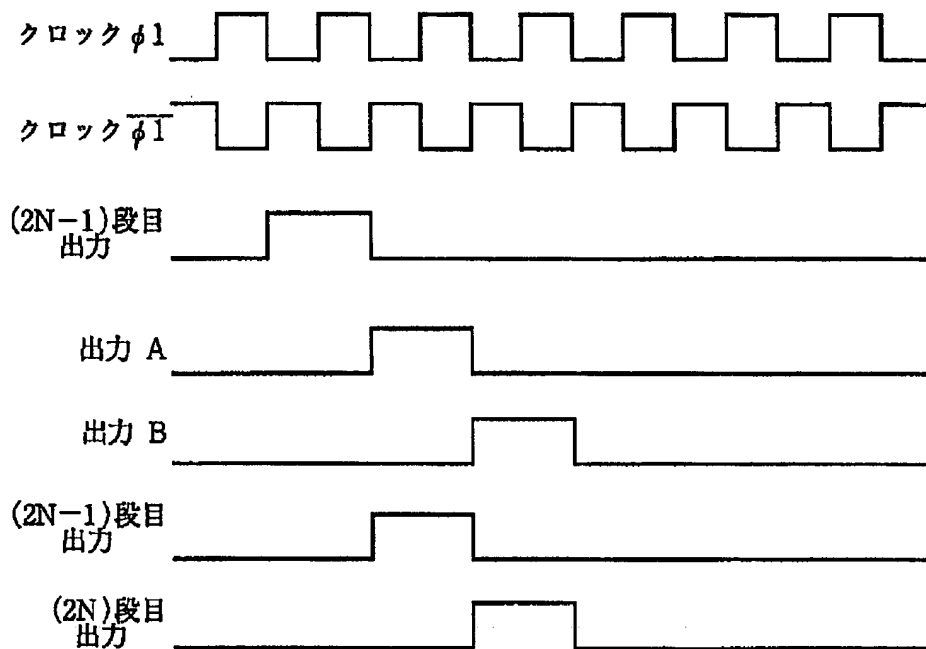
(2N-1)th step output

(2N)th step output

(2N+1)th step input

【図 4】

[FIG. 4]



Clock

...

(2N-1)th step output

Output A

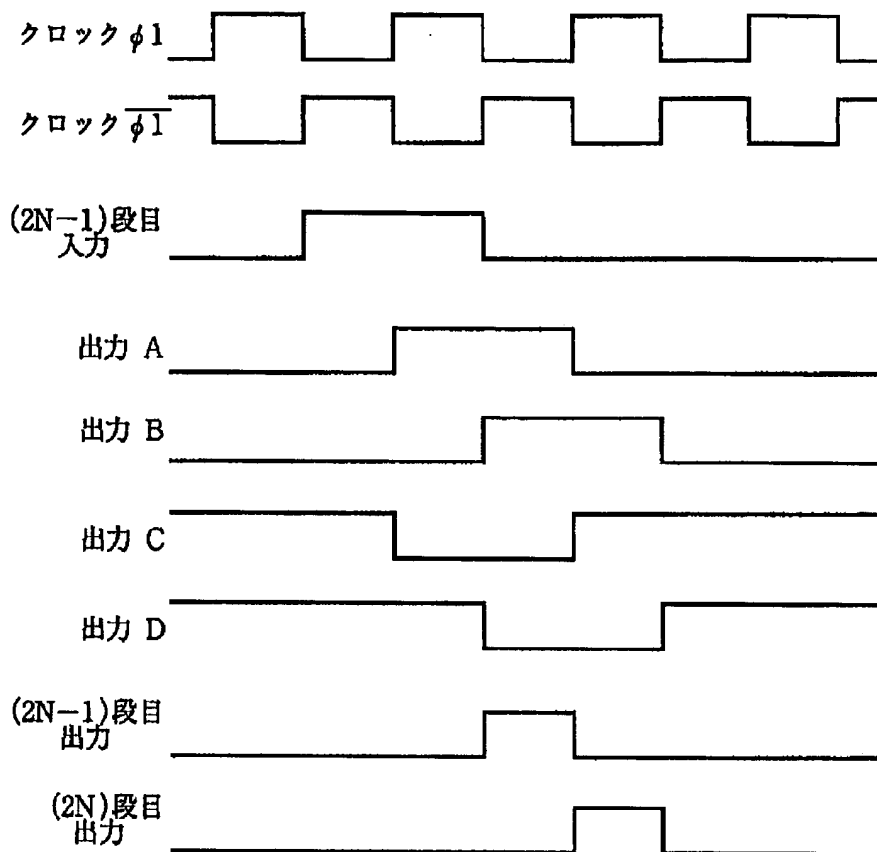
...

(2N-1)th step output

(2N)th step output

【図 2】

[FIG. 2]



Clock

...

(2N-1)th step input

Output A

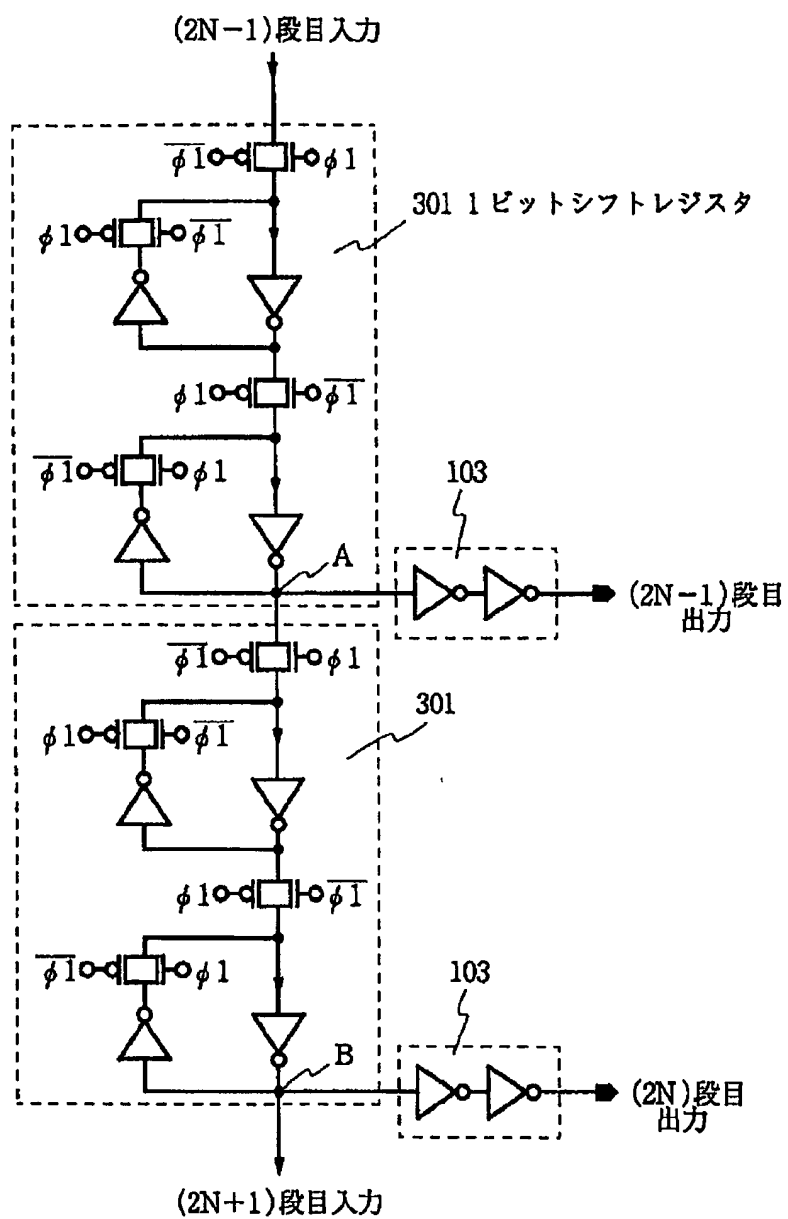
...

(2N-1)th step output

(2N)th step output

【図 3】

[FIG. 3]



(2N-1)th step input

(2N-1)th step output

(2N)th step output

(2N+1)th step input



DERWENT TERMS AND CONDITIONS

Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)

["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)